

◆Japanese Patent Application Laid-Open No. 2000-306395

“Semiconductor Failure Analyzing System and Method Thereof, and Method of Manufacturing Semiconductor Device”

5

The following is an extract relevant to the present application.

In the present invention, not only the amount of time for collecting failure bit data but also the amount of time for classifying failure modes is apparently decreased by efficient identification of a multitude of bit failures and stabilization of the amount of time for
10 classifying failure modes which allows processing times for measuring failure bits, classifying failure modes and the like in a tester to be always synchronized. Furthermore, a semiconductor failure analyzing system of the present invention includes a tester means for obtaining failure bit data from a semiconductor device and an analyzing means, in which analyzing means the failure bit data obtained in the tester means are received to be sorted by
15 a physical conversion in order of layout of the semiconductor device, and on the basis of the failure bit data subjected to the physical conversion, a judgment is made whether there is a multitude of bit failures in each region defined in the semiconductor device, and a failure of the semiconductor device is analyzed based on an information of the defined region which was judged as including a multitude of bit failures.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-306395

(P 2 0 0 0 - 3 0 6 3 9 5 A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl. 7		識別記号	F I		テーマコード (参考)	
G11C 29/00		655	G11C 29/00	655	Z	2G032
G01R 31/28			G06F 12/16	330	A	4M106
G06F 12/16	330		H01L 21/66		Z	5B018
H01L 21/66			G01R 31/28		B	5L106

審査請求 未請求 請求項の数11 O L (全15頁)

(21)出願番号 特願平11-110065

(22)出願日 平成11年4月16日(1999.4.16)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233480
日立電子エンジニアリング株式会社
東京都渋谷区東3丁目16番3号

(72)発明者 石川 誠二
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(74)代理人 100061893
弁理士 高橋 明夫 (外1名)

最終頁に続く

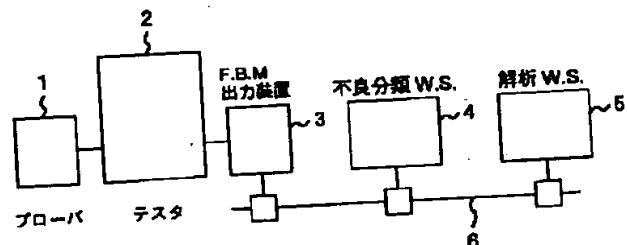
(54)【発明の名称】半導体不良解析システムおよびその方法並びに半導体の製造方法

図 1

(57)【要約】

【課題】量産におけるテストを妨げずに、所望の半導体装置のフェイルビットデータをすべて取得することを可能にして不良解析を行うことができるようにした半導体不良解析システムおよびその方法並びに半導体の製造方法を提供することにある。

【解決手段】本発明は、半導体装置からフェイルビットデータを取得するテスト手段と、該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定し、この判定されたビット不良が多発している認識領域の情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システムおよびその方法である。



1

【特許請求の範囲】

【請求項1】半導体装置からフェイルビットデータを取得するテスト手段と、

該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定し、この判定されたビット不良が多発している認識領域の情報を基に半導体装置の不良解析を行う解析手段と 10
を備えたことを特徴とする半導体不良解析システム。

【請求項2】半導体装置からフェイルビットデータを取得するテスト手段と、

該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定し、この判定されたビット不良が多発している認識領域の数を計数し、この計数されたビット不良が多発している認識領域の数の情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システム。 20

【請求項3】半導体装置からフェイルビットデータを取得するテスト手段と、

該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とに分類し、この分類された領域不良とビット多発不良との認識領域の情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システム。 30

【請求項4】半導体装置からフェイルビットデータを取得するテスト手段と、

該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とライン不良と隣接不良と孤立点不良とに分類し、この分類された領域不良とビット多発不良との認識領域の情報およびライン不良と隣接不良と孤立点不良との情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システム。

【請求項5】半導体装置からフェイルビットデータを取得するテスト手段と、

該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカ 50

ル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とライン不良と隣接不良と孤立点不良とに分類し、この分類された不良モードに関する情報を表示できるように描画処理を施し、更に分類された領域不良とビット多発不良との認識領域の情報およびライン不良と隣接不良と孤立点不良との情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システム。

【請求項6】テスト手段を用いて半導体装置からフェイルビットデータを取得する取得工程と、

解析手段を用いて、該取得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定し、この判定されたビット不良が多発している認識領域の情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法。

【請求項7】テスト手段を用いて半導体装置からフェイルビットデータを取得する取得工程と、

解析手段を用いて、該取得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定し、この判定されたビット不良が多発している認識領域の数を計数し、この計数されたビット不良が多発している認識領域の数の情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法。

【請求項8】テスト手段を用いて半導体装置からフェイルビットデータを取得する取得工程と、

解析手段を用いて、該取得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とに分類し、この分類された領域不良とビット多発不良との認識領域の情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法。

【請求項9】テスト手段を用いて半導体装置からフェイルビットデータを取得する取得工程と、

解析手段を用いて、該取得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装

置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とライン不良と隣接不良と孤立点不良とに分類し、この分類された領域不良とビット多発不良との認識領域の情報およびライン不良と隣接不良と孤立点不良との情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法。

【請求項10】テスト手段を用いて半導体装置からフェイルビットデータを取得する取得工程と、

解析手段を用いて、該所得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とライン不良と隣接不良と孤立点不良とに分類し、この分類された不良モードに関する情報を表示できるように描画処理を施し、更に分類された領域不良とビット多発不良との認識領域の情報およびライン不良と隣接不良と孤立点不良との情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法。

【請求項11】請求項1または2または3または4または5記載の半導体不良解析システムを用いて半導体装置を製造することを特徴とする半導体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記憶素子を有する半導体装置の不良解析をテストを用いて半導体不良解析システムおよびその方法並びに半導体の製造方法に関する。

【0002】

【従来の技術】成膜、露光、エッチング等を繰り返して、半導体デバイスは製造される。半導体デバイスの加工方法はしばしば1マイクロメートルより細かいため、小さな異物、加工装置の操作ミス、調整ミス等により、十分な加工精度を保てなかったり、形状に異常が生じ、不良品となる。不良品の数を低減することは、半導体デバイスの生産性を上げるために必須である。そのため不良原因を追究し、各原因毎に対策を立てることで製品の製造歩留まりを向上する。不良原因を解析するには、不良の発生状況を的確に把握することが重要である。不良原因を把握する方法の一つにフェイルビット解析の手法がある。これはウエハ処理の後のテストにおいて、特にメモリ機能を有するデバイス、あるいはデバイス内のメモリブロックに対して、記憶素子の動作状態をテストし、動作しない素子（以下フェイルビットと呼ぶ）の発生箇所を記録し、そのデータに基づき不良現象の把握と不良原因の解析を行うものである（従来技術1：特開昭61-243378号公報）。ここではウエハ毎にフェイルビットデータを収集して、該当ウエハ上のフェイルビットの分布に応じて、不良モード分類を予め行って、

その結果をユーザに供する事によって、ユーザは半導体デバイスの不良原因を解析している。不良モード分類とは、フェイルビットがある種のパターン（例えば、直線状）に並んでいる場合、それを認識し、該当する配線に異常があると判定する事である。また同種のパターンで並んでいると判定された頻度を数え上げることも行う。

【0003】一方で、このフェイルビット解析の効率化を目指すために、フェイルビットのデータの収集にかかる時間を、見かけ上なくしてしまう並列処理技術が考案されている（従来技術2：日立電子エンジニアリング技術報1997.7 NO14P10～P14）。これにより通常のテストを行う間に、フェイルビットデータを取得し、それらを解析するワークステーション（以下WS）にデータを転送することが出来るようになった。これによってフェイルビットのデータを収集が効率的に出来るようになった。

【0004】

【発明が解決しようとする課題】しかし、ユーザが解析を効率的に行えるようにするには、通常のテストを行う間に、不良モード分類等の処理を行う必要がある。しかし、従来は、発生したフェイルビットのパターン毎に、その分布形状を認識させているので、不良モード分類時間が発生した不良数に依存して、長くなってしまふ。まず、不良モード分類がどのような時に時間がかかるか説明する。通常、異物付着等により配線が断線した場合は、それに対応する配線状のビット列が不良となる。このような場合、付着した異物の数だけ、断線等が発生するが、管理されたクリーンルーム内ではウエハに付着する異物数は数十程度でそれほど多くない（参考文献：NEC技法 Vol.50 No6/1997 p66～p67）。

【0005】異物による配線の断線による不良はライン不良や領域不良を引き起こすが、これらはせいぜいウエハ上に百程度発生するだけであり、発生した不良パターンを認識するのに必要な時間も、せいぜい1つのパターンの認識に要する時間の百倍程度である。異物が小さければ1ビットのみ不良となることもあるが、そのときも事情は同じである。こうした不良を対象にする時は、ウエハ上に発生する不良数を500とか1000等少し多めに設定して、負荷を見積もれば良い。

【0006】一方、メモリ部のトランジスタ形成工程や、キャパシタ形成工程で不具合が発生した場合、トランジスタやキャパシタが動作しない不良がチップ内にランダムに発生することがある。これらが微小な異物やシリコン結晶中の欠陥などで不良となると、1ビットだけの不良が発生することがある。この不良のビットの周囲に他の不良ビットが無い場合には孤立点不良となる。しかし、例えば64MDRAMの中にはキャパシタが6000万個以上あるので、こうした工程で、加工精度の低下等が起こると、ビット不良の数が数十万個、数百万個

といった数に上ることがある。従来はこれらのフェイルビットの分布に対して、逐一当てはまる分類パターンを探索することは、発生したフェイルビット数に依存して処理時間が長くなり、一つの孤立点不良を認識する時間の数百万倍かかることになる。そのため不良分類は、発生した不良数に依存した処理時間がかかり、しかもその変動が極めて大きいこととなる。このような発生数の変動の大きい不良に対して、予め負荷を多めに設定して、システムの設計を行うことは、極めて不経済である。

【0007】いつ不良モード分類が終わるか予想がつかなかったし、システム設計をする上でも、不良モード分類の時間が一定でないために、テストからのデータ収集とデータ解析作業はそれらの間にデータベース等のバッファリング手段を持たせた別個の処理プロセスとせねばならなかった。そのため先の従来技術2の様にテストからのデータが効率的に収集できるようになっても、その不良モード分類は、テストの測定作業と連動しない、オフライン的な処理となり、その結果、フェイルビット解析自体がオフライン的なものとせざるを得なかった。

【0008】本発明の目的は、上記課題を解決すべく、量産におけるテストを妨げずに、所望の半導体装置のフェイルビットデータをすべて取得することを可能にして不良解析を行うことができるようにした半導体不良解析システムおよびその方法を提供することにある。また、本発明の他の目的は、ビット不良の発生数を正確に把握して製造ラインに対する不良対策も的確に行って、効率的で、且つ高歩留まりの半導体装置の製造を実現した半導体の製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明では、ビット多発不良を効率良く認識し、不良モード分類にかかる時間を一定化することで、常にテストでのフェイルビット測定作業と不良モード分類等の処理時間を同期させ、フェイルビットデータの収集だけでなく、不良モード分類にかかる時間も見かけ上低減したことを特徴とする。また、本発明は、半導体装置からフェイルビットデータを取得するテスト手段と、該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定し、この判定されたビット不良が多発している認識領域の情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システムである。

【0010】また、本発明は、半導体装置からフェイルビットデータを取得するテスト手段と、該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを

基にして上記半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定し、この判定されたビット不良が多発している認識領域の数を計数し、この計数されたビット不良が多発している認識領域の数の情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システムである。また、本発明は、半導体装置からフェイルビットデータを取得するテスト手段と、該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とに分類し、この分類された領域不良とビット多発不良との認識領域の情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システムである。

【0011】また、本発明は、半導体装置からフェイルビットデータを取得するテスト手段と、該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とライン不良と隣接不良と孤立点不良とに分類し、この分類された領域不良とビット多発不良との認識領域の情報およびライン不良と隣接不良と孤立点不良との情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システムである。また、本発明は、半導体装置からフェイルビットデータを取得するテスト手段と、該テスト手段で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とライン不良と隣接不良と孤立点不良とに分類し、この分類された不良モードに関する情報を表示できるように描画処理を施し、更に分類された領域不良とビット多発不良との認識領域の情報およびライン不良と隣接不良と孤立点不良との情報を基に半導体装置の不良解析を行う解析手段とを備えたことを特徴とする半導体不良解析システムである。

【0012】また、本発明は、前記半導体不良解析システムの解析手段は、データの受信処理からフィジカル変換、不良分類、描画準備の処理時間の和が、テスト手段におけるプローバの各タッチダウンに要する時間以下になるように構成することを特徴とする。また、本発明は、前記半導体不良解析システムの解析手段は、ビット不良の多発している領域を認識することで、孤立点欠陥などのビット不良の発生数を補正するように構成することを特徴とする。また、本発明は、テスト手段を用いて

半導体装置からフェイルビットデータを取得する取得工程と、解析手段を用いて、該取得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定し、この判定されたビット不良が多発している認識領域の情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法である。

【0013】また、本発明は、テスト手段を用いて半導体装置からフェイルビットデータを取得する取得工程と、解析手段を用いて、該取得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定し、この判定されたビット不良が多発している認識領域の数を計数し、この計数されたビット不良が多発している認識領域の数の情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法である。また、本発明は、テスト手段を用いて半導体装置からフェイルビットデータを取得する取得工程と、解析手段を用いて、該取得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とに分類し、この分類された領域不良とビット多発不良との認識領域の情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法である。

【0014】また、本発明は、テスト手段を用いて半導体装置からフェイルビットデータを取得する取得工程と、解析手段を用いて、該取得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とライン不良と隣接不良と孤立点不良との認識領域の情報およびライン不良と隣接不良と孤立点不良との情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法である。また、本発明は、テスト手段を用いて半導体装置からフェイルビットデータを取得する取得工程と、解析手段を用いて、該取得工程で取得したフェイルビットデータを受信して上記半導体装置のレイアウト順に並び替えるフィジカル変換を施し、このフィジカル変換が

施されたフェイルビットデータを基にして上記半導体装置に対して設定された認識領域毎に少なくとも領域不良とビット多発不良とライン不良と隣接不良と孤立点不良とに分類し、この分類された不良モードに関する情報を表示できるように描画処理を施し、更に分類された領域不良とビット多発不良との認識領域の情報およびライン不良と隣接不良と孤立点不良との情報を基に半導体装置の不良解析を行う解析工程とを有することを特徴とする半導体不良解析方法である。また、本発明は、前記半導体不良解析システムを用いて半導体装置を製造することを特徴とする半導体の製造方法である。また、本発明は、前記半導体不良解析システムを用いて得られるビット不良数の推移を基に半導体製造ラインの品質管理を行いながら半導体装置を製造することを特徴とする半導体の製造方法である。

【0015】以上説明した前記構成によれば、チップ単位もしくはチップ内に分割された認識領域を設定し、この認識領域毎に、少なくとも「領域不良」および「ビット多発不良」で分類するようにしたので、量産におけるテストを妨げずに、所望の半導体装置（半導体ウエハ）のフェイルビットデータをすべて取得することを可能にして不良解析を行うことができる。また、前記構成によれば、チップ単位もしくはチップ内に分割された認識領域を設定し、この認識領域毎に、少なくとも「領域不良」および「ビット多発不良」で分類するようにしたので、ビット不良の発生数を正確に把握することができ、その結果、製造ラインに対する不良対策も的確にすることができ、効率的で、且つ高歩留まりの半導体装置（半導体ウエハ）の製造が可能になる。

【0016】

【発明の実施の形態】本発明に係る半導体不良解析システムおよびその方法並びに半導体の製造方法の実施の形態について図を用いて説明する。まず、本発明に係る半導体不良解析システムの一実施の形態であるシステム構成を図1に示す。本システムは、プローバ1を有するテスト2と、該テスト2に接続されたフェイルビットマップ（以下単にFBMと略す）出力装置3と、不良分類ワークステーション（以下ワークステーションをWSと略す）4と、解析WS5と、FBM出力装置3、不良分類WS4、および解析WS5をつなぐネットワーク6から構成される。テスト2には、いわゆるプローバ1が接続されており、プローバ1には被テストウエハを設定し、試験を行う。そして、本発明におけるテスト手段は、テスト2およびFBM出力装置3によって構成し、本発明における解析手段は、不良分類WS4および解析WS5によって構成する。テスト2、FBM出力装置3、不良分類WS4、解析WS5は、いわゆる情報処理装置であるから、それらの内いくつかあるいは全部を一つの情報処理装置において処理したり、実施の形態とは別の情報処理装置で実施しても良い。またネットワーク接続では

なく、いわゆるバス接続にしたりすることも可能である。むしろWSも計算機資源としての種類、呼称に限定を加えるものではなく、PC、サーバ等同等の機能を実現するものならば、種類、呼称は問わない。本実施の形態で説明する構成は、一例にすぎない。

【0017】不良分類WS4の構成を図2に示す。このWS4は、ネットワーク6に接続され、CPU等から構成された処理装置41と、外部記憶装置42と、表示装置等から構成された出力装置43と、キーボード、マウス、記録媒体等から構成される入力装置44と等から構成される。テスト2はプローバ装置1に対し、テスト信号を送り、またプローバ装置1から結果信号を受け、各半導体デバイスの良否を判定している。このとき各記憶素子1ずつの良否情報を破棄せず、他のテスト項目を実施している最中に外部に出力するものが、FBM出力装置3である。その詳細は「日立電子エンジニアリング技報 1997.7 NO14 P10~P14」に記載されている。即ち、FBM出力装置3は、テスト2で発生するフェイルデータをリアルタイムに書き込むメモリ等から構成される。メモリは、対象デバイスの同時測定個数分と同じサイズである。テスト2との接続は専用ケーブルで結ばれ、同時測定個数分のフェイルデータを同時に取り込むことができる。即ち、テスト実行で発生するフェイルデータ（テストデバイスの良否判定で不良の場合に不良アドレスをフェイルデータとする。）をリアルタイムにメモリに取り込む。

【0018】ところで、FBM出力装置3から外部（ここでは不良分類WS）に出力するタイミングは、ロット毎、ウェハ毎、プローバのタッチダウン毎等が考えられる。プローバタッチダウン毎とは、プローバ装置1において、一回の針あて（タッチダウン）によって、複数のチップを同時にテストすることが出来るので、1回の針あてによってテスト出来た半導体デバイスの結果を針あて（タッチダウン）毎に送受信の処理を行うということである。1タッチダウンで1チップしか測定しない場合はデータの送受信は1チップ毎に行われる。プローバタッチダウン毎に行えば、データ送受信に用いるデータバッファが小さくて済む、データの転送が小刻みに、少しずつ行われるのでネットワークの負荷が小さくて済む、等の利点がある。

【0019】以下の実施例では、タッチダウン毎にFBM出力装置3からフェイルビットテスト結果を出力する場合について説明する。FBM出力装置3から不良分類WS4に転送される出力フォーマットを図3に示す。このフォーマット中では、以下の項目などが記述されている。品種名、ロット番号、ウェハ番号、テスト番号、プローバ番号、1タッチダウンでテストするチップ数（タッチダウン内チップ数）、実際テストした測定チップ数、各チップ毎の位置（X、Y）（チップ位置X、チップ位置Y）、チップ毎にテストで付されたカテゴリ（例

えば全ビット不良や全ビット良等に対応したカテゴリ分け）、さらにフェイルビットデータを格納したファイル名称などである。各チップ毎の位置（X、Y）からフェイルビットデータを格納したファイル名称まではテストしたチップ数分だけ繰り返される。またこの繰り返しがタッチダウン内でテストするチップ数を越えることはない。1タッチダウンでテストしたチップに関する所定の項目を記述し終わったら、ファイルの終了を示すメッセージ（E. O. F.）を記す。チップ毎のフェイルビットデータ自体は、先に記載したフェイルビットデータを格納したファイル名称で与えられるファイルに格納されている。いわゆるバイナリ形式のデータで表現することが多いので、文字情報を含むファイルとは別にもった方が好適である。

【0020】テスト2からFBM出力装置3に送る伝文もこの内容と同等である。なおプローバ1からテスト2にはテスト結果のみが送られる。テスト自体が、製品の品種名やロット番号、テスト番号、プローバ番号、テストしたチップの位置等の情報を管理しているので、図3に示したようなフォーマットを完成させることができる。FBM出力装置3からタッチダウン毎に出力されたデータは、不良分類WS4において図4に示すような処理がなされる。この段階の処理を解析準備S41と呼ぶ。これは、テスト2から収集したFBMデータを、スタッフの解析に供する際に、不良分類WS4がデータを受信した際、不良分類WS4における処理装置41はスタッフからの解析要求がなくとも不良モード分類や描画処理など、必要な処理を予め行うステップS41である。この解析準備のステップS41をおくことによって、例えば解析WS5から解析しようという解析要求S42を受けた時点では、不良モード分類や描画処理が終わっており、それらの処理データを表示装置等の出力装置43に出力する処理S43がすぐ行える。解析WS5は解析要求を出すと不良分類WS4からネットワーク6を介して解析準備データを受信して検討にすぐ入れるというメリットがある。また、システム的には、処理装置41がFBM出力装置3から受信したデータを自動的に処理してしまうことで、不必要なバッファを持つ必要がないというメリットがある。

【0021】次に解析準備S41の内容を図5を用いて詳しく説明する。まず、処理装置41は、ステップS411においてテスト結果をFBM出力装置3からネットワーク6を介して図3に示すフォーマットで受信して例えば記憶装置42に記憶させる。その後、処理装置41は、テスト結果（ビット毎の良、不良情報）を記憶装置42から読み出してテストのテスト順から、実際のレイアウト順に並び替えて例えば記憶装置42に記憶させる。この並び替えを以下フィジカル変換（S412）と呼ぶ。ここで良ビットは“0”、不良ビットは“1”の様に記すると、CPUからなる処理装置41上ではいわ

ゆるバイナリデータとして扱えて、簡便である。更に、処理装置41は、フィジカル変換後に、不良モード分類処理(S413)を行う。不良モード分類とは、特定の形で分類しているフェイルビットの分布を抽出するものである。ここにおいて、不良モード分類として、「領域不良」、「ビット多発不良」、「X方向ライン不良」、「Y方向ライン不良」、「隣接不良」、「孤立点不良」等に分類して例えば記憶装置42に記憶させる。このように分類することによって、例えば「X方向ライン不良」ならば、不良の原因はラインを構成する個々のトランジスタが一つ一つ故障しているのではなく、ラインのI/O部であるという推定が出来、特定の領域中に一定の割合以上にフェイルビットが分布する「領域不良」ならば、その領域全体の動作やI/Oを司る部分の故障と判明でき、「Y方向ライン不良」も「X方向ライン不良」と同様であり、「孤立点不良」は個々の結晶欠陥やトランジスタの動作不良による故障と考えられ、「隣接不良」は素子間でショートがあったり、素子の分離が十分でないなど故障原因の候補が考えられる。ところで、「ビット多発不良」は、個々の結晶欠陥やトランジスタの動作不良による「孤立点不良」とは異なった不良であり、それと区別して認識せねばならない。また、「領域不良」とも異なった原因があるので、それとも区別しなければならぬ。いずれにしても、不良分類WS4においてフェイルビットの分布を分類することによって、例えば解析WS5において分類パターン毎に、それぞれ原因として推定される不良現象を対応付けすることが可能となる。そのためウエハ上で、どのような不良現象が、どの程度の頻度で発生しているかを明確化することができ、不良解析を行うのに極めて有効な情報を得ることができる。

【0022】その後、処理装置41は、描画処理(S414)を行う。描画処理は、記憶装置42に記憶されたフェイルビットテスト結果の良、不良データをもとにそのウエハ上の分布をCRT43等や解析WS5の表示装置に表示したり、記憶装置42に記憶された不良モード分類を行った結果、それぞれの不良発生数の一覧表をCRT43や解析WS5の表示装置に表示することに関わる処理である。また、以下で述べるような解析の出力表示に関わる処理である。要するに、描画処理は、分類された各種不良モードに関する情報を表示装置に表示できるようにする処理である。そして、処理装置41は、ウエハ1枚について、フェイルビットテストが終了したことを知らせるメッセージ(wafer-end)を受信したならば(S415)、ウエハ終了処理(S416)に移り、この段階において記憶装置42にはウエハ単位で、解析準備処理のデータが格納されることになる。処理装置41におけるウエハ終了処理(S416)は、各タッチダウン毎のフェイルビットテスト結果について行ってきた処理を、当該ウエハに関してまとめ上げる処理

である。そして、次のウエハのフェイルビットテスト結果を受信する準備に移る。

【0023】そして、処理装置41は、テストにかけたロット中のウエハのテストがすべて終わったことを意味するメッセージ(lot-end)を受け取ったならば(S417)、ロット終了処理(S418)を行い、この段階において記憶装置42にはロット単位で、解析準備処理のデータが格納されることになる。処理装置41におけるロット終了処理(S418)は、当該ロットのロット番号や品種名のクリアなど、次のロットの処理に移る準備を行う。FBM出力装置3から同様のロットの測定終了を意味するメッセージを解析WS5に送る。ここで、不良分類WS4における解析準備処理(S41)としては、受信処理(S411)、フィジカル変換(S412)、不良モード分類(S413)、描画処理(S414)と4つ処理が行われる。この際、図6に示すように、各タッチダウン(第1〜第nタッチダウンの各々)で得られたデータの解析準備処理の処理時間の和が、テスト2のタッチダウン毎のテスト時間内で終わるようにすることによって、テストとフェイルビット解析に必要なデータ処理(解析準備処理)を、同期させて行うことが出来る。不良分類WS4では、プローバで1ロット分のテストが終了してから、ほぼ1タッチダウン分の解析準備処理を行う時間が経過した後、1ロット分の解析準備作業が終わる。このあと、解析WS5において、フェイルビットを取得したウエハに関して、解析を行うことができるようになる。

【0024】テストの測定がフェイルビット解析と同期して行えるということは、テストの稼働率をおとすことなく、所望の枚数だけウエハフェイルビットマップを取得することが出来ることを意味し、ラインの不具合を監視し、その原因を解析する上で、非常に有効である。逆に、テストのタッチダウン内に、上記データ処理が終わらない場合を考えると、フェイルビットを測定すればするほど、データ処理が終わっていないものが山積みされてしまい、ラインの不具合を監視し、その原因を解析することにデータを供せないばかりか、解析システム内で未処理のまま、バッファリングされ、システム障害を発生させる可能性がある。従って、解析システムを構築する上で、テストのタッチダウン毎の測定時間内に、データ処理を済ませる様にすることが重要である。

【0025】フィジカル変換処理(S412)は、品種毎に1チップ内のデータ量は固定であるし、変換処理の内容も品種毎に固定されている。従って、処理装置41として高速なプロセッサを用いたり、並列計算を用いることで、処理時間が十分短くなるようにする事が可能である。描画処理(S414)も1チップ内のデータ量は固定であるし、表示に用いるデータ形式も固定であるので、処理の内容が固定されている。従って、処理装置41として高速なプロセッサを用いたり、並列計算を用い

ることで、処理時間が十分短くなるようにする事が可能である。しかし不良モード分類処理 (S413) に対しては、システム設計時に、どのような不良が、どれだけ発生しているか予測することが不可能なため、負荷が予測できず、システムの設計が困難である。負荷を大きめに見積もってしまえば、例えば並列処理により必要な計算能力を確保しようとするれば、使用するCPUの数を過剰に必要とする。これはシステムの製作コストを押し上げてしまい、好ましくない。

【0026】そこで、本発明においては、不良モード分類処理 (S413) の処理時間の不良発生数に対する依存性を小さくする手法を創作する事で、どのような不良がどれだけ発生しようとも、処理時間が十分短くなるようにする事を可能にした。不良モード分類の処理時間を変動させる要因は、図7に示すような「ビット多発不良」が発生した場合である。そこで「ビット多発不良モード」を一定時間内で解析する手法を創作した。

【0027】まず、処理装置41において、図7に示すように、各チップ毎に、いくつかの認識領域を設定する。この認識領域は、1チップ全体であっても良いし、チップ内を1/4とか1/8等に等分割した領域でも良い。なお、認識領域を設定する際、各チップの画像を表示装置43に表示させて画面上で指定することによって処理装置41に対して認識領域を設定することができ、この際、半導体ウエハに関するCADデータを例えばテスト2からネットワーク6を介して取得することによって、上記表示装置43に表示するようにすれば、チップ内のメモリ領域、周辺回路領域等のように認識領域を回路の種類毎に設定することも可能である。

【0028】ここで、処理装置41において不良を分類する手順を図8に示す。フィジカル変換処理ステップ (S412) でフィジカル変換された不良ビットデータに基いて、この設定された認識領域内で、下からy番目のX方向のライン上に並んでいるフェイルビット数 (FN(y)) をカウントする (ステップS81)。次に左からx番目のY方向のライン上に並んでいるフェイルビット数 (FN(x)) をカウントする (ステップS82)。FN(x)、FN(y) を用いて、認識領域内のフェイルビット総数 (FNtotal) をカウントする (ステップS83)。そして、このFNtotalが一定値FNconst以上 (ステップS84) ならば、該認識領域を「領域不良」と判定し (ステップS85)、認識領域の座標とともに領域不良のデータを記憶装置42に記憶させる。

【0029】ここでFNconstを小さく設定すれば、以下の認識手段を通すことなく、処理が済む場合が多いので、処理時間自体は短くなるが、ライン不良等が複数発生している場合、その不良ビット数の合計がFNconstを上まわると、ライン不良の存在を見落として領域不良としてしまうので、FNconstはさほど小さくできない。実用上は該認識領域内の総ビット数の10%前後が

適当であろう。次に、ステップS84において領域不良と判定されなかったとき、上記設定された認識領域毎に、「ビット多発不良」の判定を行う (ステップS86)。この部分が処理のデータ量依存性が大きく、適切なアルゴリズムを用いないと、処理時間が非常にかかってしまう部分である。処理の詳細はあとで述べる。

「ビット多発不良」の判定基準を満たしたならば、「ビット多発不良」と名付けて (ステップS87)、認識領域座標と共に記憶装置42に記憶させる。次に、ステップS86においてビット多発不良と判定されなかったとき、上記認識領域毎にX方向ライン上にフェイルビットが並んでいるか判定する (ステップS88)。これを満たすものは「X方向ライン不良」と判定し (ステップS89)、X方向ラインの座標と共に記憶装置42に記憶させる。

【0030】次に、上記認識領域毎にY方向ライン上にフェイルビットが並んでいるか判定する (ステップS90)。これを満たすものは「Y方向ライン不良」と判定し (ステップS91)、Y方向ラインの座標と共に記憶装置42に記憶させる。次に、上記認識領域毎に隣接したビットが不良になっていないか判定する (ステップS92)。これを満たすものは「隣接不良」と判定し (ステップS93)、隣接不良の位置座標と共に記憶装置42に記憶させる。最後に、上記認識領域毎に「孤立点不良」を判定し、孤立点不良の位置座標と共に記憶装置42に記憶させる。「孤立点不良」は、該当フェイルビットの周囲に他のフェイルビットが存在しない場合、孤立点と定義する (ステップS94)。ここで「周囲」の定義の仕方だが、製品やプロセスに応じて例えば周囲5ビットとか周囲10ビットというように適宜設定すればこれを満たすものは孤立点不良と定義する (ステップS95)。

【0031】上記どれにも属さない場合はその他とし (ステップS96)、その位置座標と共に記憶装置42に記憶させる。ここでステップS81、S82のところでは、設定された認識領域毎に、かつ各ライン毎にフェイルビット数を集計する処理が入っているが、このライン数は解析の対象とする品種毎および設定された認識領域で決まるものであるから、その計算量は、予め予想できるものである。また、特定の品種に対する計算量はほぼ一定である。

【0032】次にステップS86の「ビット多発不良」の認識フローについて図9を用いて説明する。まず、処理装置41は、上記の如く各認識領域毎に算出されたX方向フェイルビット数FN(x)についてヒストグラム (図10) を作成する (ステップS861)。このヒストグラムは、各認識領域毎のライン中のフェイルビット数 (FN(x)) に対する出現頻度 (出現したラインの数) を表わしたものである。次に、処理装置41は、設定された認識領域毎に次に示す (数1) 式に基いてしき

い値 Thx を求める (ステップ S 8 6 2)。

$$Thx = \sqrt{(M/N) F Ntotal}$$

ここで、 M は各認識領域内における y 方向のビット数、 N は各認識領域内における x 方向のビット数である。 $F Ntotal$ は、ステップ S 8 3 において算出される。

【0033】次に、処理装置 4 1 は、上記ヒストグラムにおいて Thx 以下のフェイルビット数 FNx をカウントする (ステップ S 8 6 3)。なお、上記ヒストグラムにおいて Thx 以下のフェイルビット数 FNx をカウントするようにしたのは、上記ヒストグラムにおいて Thx 以上は、「領域不良」として判定されているからである。そして、処理装置 4 1 は、 $FNx / F Ntotal$ が所望値 (Th) (ビット多発不良と判定するための X 方向の下限值である。) 以上かどうか判定する (ステップ S 8 6 4)。もし、 $FNx / F Ntotal$ が所望値 (Th)

$$Thy = \sqrt{(N/M) F Ntotal}$$

ここで、 M は各認識領域内における y 方向のビット数、 N は各認識領域内における x 方向のビット数である。 $F Ntotal$ は、ステップ S 8 3 において算出される。

【0035】次に、処理装置 4 1 は、上記ヒストグラムにおいて Thy 以下のフェイルビット数 FNy をカウントする (ステップ S 8 6 7)。そして、処理装置 4 1 は、 $FNy / F Ntotal$ が所望値 (Th) (ビット多発不良と判定するための Y 方向の下限值である。) 以上かどうか判定する (ステップ S 8 6 8)。もし、 $FNy / F Ntotal$ が所望値 (Th) 以下の場合には、ビット多発不良と判定せずに、ステップ S 8 8 へ進むことになる。以上説明したように、 $FNx / F Ntotal$ と $FNy / F Ntotal$ がともに Th 以上の場合、「ビット多発不良」と判定 (ステップ S 8 6 7) し、その認識領域の座標と共に記憶装置 4 2 に記憶させる。このような方法によれば、CPU 等の処理装置 4 1 は、発生したフェイルビットの数に依存せず、「ビット多発不良モード」を一定時間内で認識することが可能になる。

【0036】従って、処理に用いる計算資源 4 1 の能力とその処理時間の関係が発生するデータに大きく依存することは無くなる。つまり、ビット不良等が多発しても、その処理時間をほぼ一定にすることができるようになった。従ってこれらの認識処理を、タッチダウンの時間内に入れ込むために必要な計算機資源 4 1 を設定することができる。具体的には、処理装置 4 1 において並列処理を行う際の CPU の数などが決定できる。このようにすることにより、FBM の測定と解析準備が並行してできる様になった。これにより、FBM のデータを通常の製品特性テストの中に組み込んで行っても、解析準備待ちの測定結果が山積みされことなく、円滑に解析に供されることが可能となった。

【0037】本発明による解析システムをテスト工程中のプロバ 1 台につき、1 つずつ設置していけば、全製品ウエハのフェイルビットデータの取得と解析準備を、

(数 1)

以下の場合には、ビット多発不良と判定せずに、ステップ S 8 8 へ進むことになる。ここで (数 1) 式中出现する M 、 N は図 1 1 に示すように、それぞれ認識領域内の Y 方向、 X 方向のビット数である。従って、 $F Ntotal$ が $M \times N$ を越えることは無い。また Thx は 0 から M までの値をとり、 Thy は 0 から N の数字をとる。

【0034】処理装置 4 1 は、同様の処理により、上記の如く各認識領域毎に算出された Y 方向フェイルビット数 $FN(y)$ についてヒストグラムを作成する (ステップ S 8 6 5)。次に、処理装置 4 1 は、設定された確認領域毎に次に示す (数 2) 式に基いてしきい値 Thy を求める (ステップ S 8 6 6)。

(数 2)

量産のテストを妨げることなく実施することが可能である。もちろん、解析システム間のネットワークやバス等で接続して、計算資源やデータ管理資源等を共有化しても良い。このようなことが可能になると、製造工程中の異物検査や外観検査の検査結果とフェイルビットのデータの照合が容易になる。しかし、従来はフェイルビットデータを収集するには、量産のテストが終わった後、注目するウエハを抜き出して測定していた。本発明によれば、すべてのウエハのフェイルビットデータが自動的に収集されるため、注目ウエハを抜き出してテストするようなことは必要なくなる。また、一部のプローバに対して、本解析システムを接続するだけでも十分有意義である。この場合、異物検査や外観検査のデータとフェイルビットのデータを照合したいロットは、本システムが接続されているプローバでテストを行えばよい。

【0038】以上説明したように、不良分類 WS 4 において「ビット多発不良モード」を認識することができれば、解析 WS 5 において解析を進めていく上で有利となる。即ち、不良分類 WS 4 において、FBM 出力装置 3 から受信されるテスト結果 (ビット毎の良、不良情報) に対してステップ S 4 1 2 でフィジカル変換処理を施し、このフィジカル変換処理されたフェイルビットデータに対してステップ S 4 1 3 でチップ毎に設定されたチップ単位もしくはチップ内に対して細分割された認識領域毎に、「領域不良モード」、「ビット多発不良モード」、「 X 方向ライン不良モード」、「 Y 方向ライン不良モード」、「隣接不良モード」、および「孤立点不良モード」等の不良分類処理が行われ、順次ウエハ単位、さらにロット単位で記憶装置 4 2 に記憶されることになる。なお、ステップ S 4 1 4 において、不良分類データに対して描画準備処理が施されて記憶装置 4 2 に記憶されているので、不良分類データを表示装置 4 3 に表示することもできるし、解析 WS 5 にネットワーク 6 を介して提供することによって解析 WS 5 においても表示装置

17

に表示したりして出力することもできる。

【0039】このように、不良分類WS 4において、チップ毎に設定されたチップ単位もしくはチップ内に対して細分割された認識領域毎に、「領域不良モード」、「ビット多発不良モード」、「X方向ライン不良モード」、「Y方向ライン不良モード」、「隣接不良モード」、および「孤立点不良モード」等の不良分類処理が行われているので、解析WS 5において、予め、分類パターン毎に、それぞれ原因として推定される不良現象を対応付けして教示しておけば、これら不良分類処理データの提供を受けると分類パターン毎に解析して、それぞれ原因として推定される不良現象を見つけたことが可能となる。いずれにしても、解析WS 5は、不良分類WS 4からのチップ内の認識領域毎の不良分類データ、特に領域不良データおよびビット多発不良データの提供をウエハ単位あるいはロット単位で受けることができるので、ウエハ単位あるいはロット単位で直ちにアラームを表示装置等の出力手段を用いて出力して、半導体製造工程に対して不良発生原因を取り除く対策を施すことができ、半導体の歩留まり向上をはかることができる。特に、「領域不良」と分類されたならば、解析WS 5は、その領域全体の動作やI/Oを司る部分の故障と解析することができ、その結果、その発生原因を容易に推定することができる。また、「ビット多発不良」は、個々の結晶欠陥やトランジスタの動作不良による「孤立点不良」とは異なった不良であり、しかも「領域不良」とも異なった原因であるので、これらと区別して分類することができる。その結果、解析WS 5において不良原因を推定する際、精度を向上させることができる。

【0040】このように「ビット多発不良」を、「領域不良」、「隣接不良」、および「孤立点不良」と弁別して分類することによって、誤って分類されることも、分類整理されないままも防止することができるので、その結果として「ビット多発不良」の真の原因であるプロセス的な加工の均一さが欠けていたことが、必要以上に時間をかけることなく、直ちに究明することができる。即ち、「ビット多発不良」を新たな分類パターンとすることで、不良分類WS 4で分類される不良モードの分類結果と解析WS 5における不良原因の推定との対応性を良くすることができる。まず、ウエハ上の不良ビットの推移を管理する際、従来はビット不良が多発するとその数は先に述べたように数十万、数百万になる。通常の孤立点不良発生レベルは数百程度であるから、それらのウエハ上の不良ビット発生数を同一の管理図、あるいは推移図に載せることは、意味がなかった。そのため実際はビット多発不良が発生すると、該当するウエハのデータを管理図、推移図から削除したり、統計諸量（平均、標準偏差等）を算出するときは、算出する対象としなかったりした。このように管理、解析の対象外とするという判断は恣意的であったり、明確な判断基準がないまま行わ

れていたもので、処理された結果も十分信頼が置けるとは言えなかった。

【0041】そこで今回、先に述べたような明確な基準のもと、不良分類WS 4は、ビット多発不良モードを認識し、孤立点不良の発生数（ビット不良の発生数）を補正することができ、その結果、例えば解析WS 5は、不良分類WS 4からネットワーク6を介してビット多発不良モード等のデータの提供を受けることによって、例えば、図12に示すような推移図（ロット単位又はウエハ単位に対するビット不良発生数の推移）を作成することができる。ところで、図13に示すように、結晶欠陥や微小な異物等に起因する1ビット不良が通常の水準より増え、たまたまこうしたビット不良の多発と重なったしまったとしても、認識領域毎に夫々別々に「ビット多発不良」と、「孤立点不良」とに分類されるので、見逃してしまうことを防止することができる。本手法では、解析WS 5において、ビット多発不良が起こっているエリア以外で、結晶欠陥や微小な異物等に起因する1ビット不良が増加している場合は検知可能である。こうしたとき、受け入れ時の結晶欠陥の管理基準や検査の仕方を見直したり、微小異物の発生原因を探ることが重要である。

【0042】また、解析WS 5において、ビット不良が多発しているエリアの数の管理も行えるようになる。これは例えば図14の推移図などで管理することができる。ビット不良が多発した場合、多くはいわゆる救済が不可能（冗長線の数足りない）為、そのまま不良品になってしまう。従って、ビット不良の多発が起こったチップが多いということは、そのまま払い出しチップ数の低下を意味する。これは収益確保あるいは顧客納期遵守など様々な面で不都合であるから、迅速に対策を打たねばならない。ビット不良の多発モードの場合、その発生原因は、トランジスタ形成工程やキャパシタ形成工程に存することが多いので、当該プロセスの見直しを図ることが重要である。以上、フェイルビットデータのテスト2からの出力や、以下の処理単位をタッチダウン毎にしているが、ウエハ単位であっても、上記と同様の実施例は実現できる。但し、ウエハ毎にバースト的にデータが発生するので、ネットワーク6はそれに耐えられる転送能力が必要になる。また、解析WS 5におけるユーザの解析は、テスト2におけるフェイルビット測定が終了してから、ほぼウエハ1枚分の処理時間が経過してから可能になる。

【0043】

【発明の効果】本発明によれば、チップ単位にもしくはチップ内に分割された認識領域を設定し、この認識領域毎に、少なくとも「領域不良」および「ビット多発不良」で分類するようにしたので、量産におけるテストを妨げずに、所望の半導体装置のフェイルビットデータをすべて取得することを可能にして不良解析を行うことが

19

できる効果を奏する。また、本発明によれば、チップ単位もしくはチップ内に分割された認識領域を設定し、この認識領域毎に、少なくとも「領域不良」および「ビット多発不良」で分類するようにしたので、ビット不良の発生数を正確に把握することができ、その結果、製造ラインに対する不良対策も的確にすることができ、効率的で、且つ高歩留まりの半導体装置の製造が可能になる効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る半導体不良解析システムの一実施形態の形態を示す概略構成図である。

【図2】図1に示す不良分類WSの一実施例を示す構成図である。

【図3】図1に示すテストから出力されるデータのフォーマットを説明するための図である。

【図4】図1に示す不良分類WSおよび解析WSで処理するマクロな処理手順を説明するための図である。

【図5】図1に示す不良分類WSで処理する解析準備部分の処理手順を説明するための図である。

【図6】テストと不良分類WSの同期化について説明す

るための図である。

【図7】ビット多発不良の例を示す模式図である。

【図8】図5に示す不良分類処理の手順を具体的に説明するための図である。

【図9】図8に示すビット多発不良の判定の手順を具体的に説明するための図である。

【図10】ビット多発不良の判定に用いるライン毎のフェイルビット数に関するヒストグラムを示す図である。

【図11】認識領域のサイズを示す図である。

【図12】ビット不良発生数に関する推移を示す図である。

【図13】ビット多発不良も含めてビット不良発生数に関する推移を示す図である。

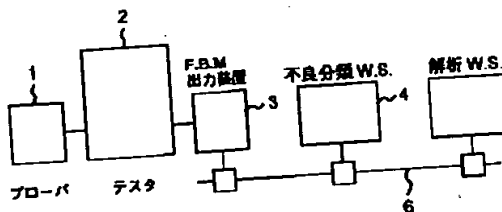
【図14】ビット多発不良エリアの発生数に関する推移を示す図である。

【符号の説明】

1…プローバ、2…テスト、3…FBM出力装置、4…不良分類WS、5…解析WS、6…ネットワーク、41…処理装置、42…記憶装置、43…表示装置等出力装置、44…キーボード等入力装置。

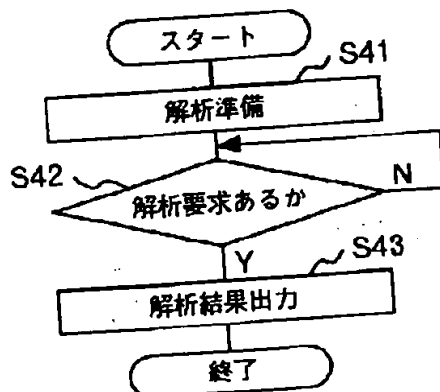
【図1】

図 1



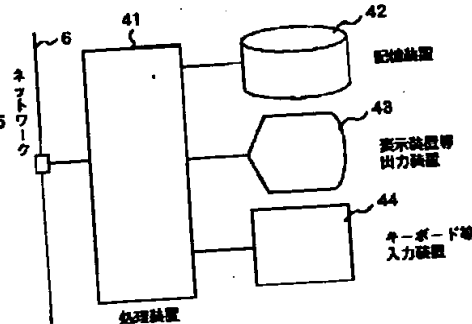
【図4】

図 4



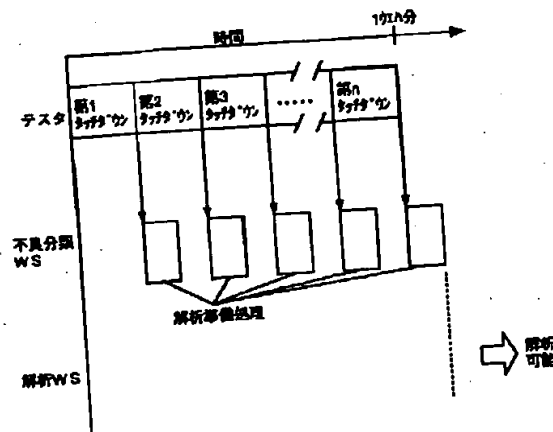
【図2】

図 2



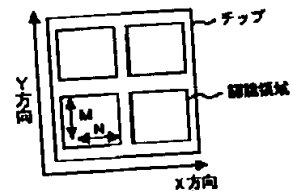
【図6】

図 6



【図11】

図 11



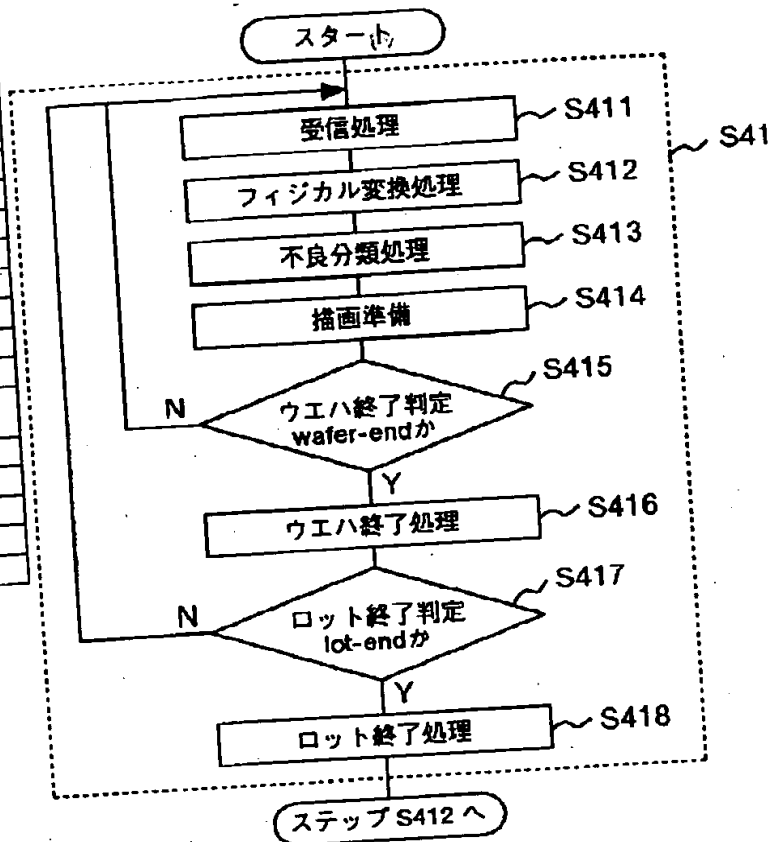
【図3】

図 3

品番名
ロット番号
ウエハ番号
タッチダウン内チップ数
測定チップ数
チップ位置X
チップ位置Y
チップカテゴリ
フェイルビットデータファイル名
チップ位置X
チップ位置Y
チップカテゴリ
フェイルビットデータファイル名
...
チップ位置X
チップ位置Y
チップカテゴリ
フェイルビットデータファイル名
EOF

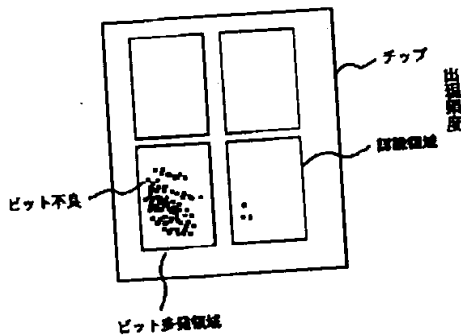
【図5】

図 5



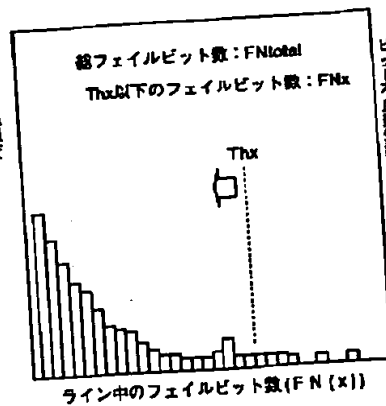
【図7】

図 7



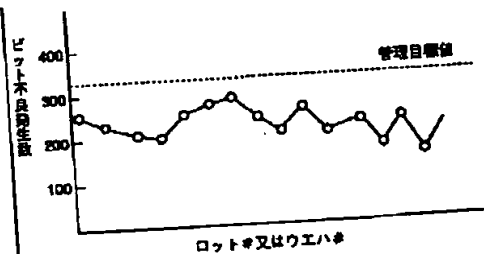
【図10】

図 10



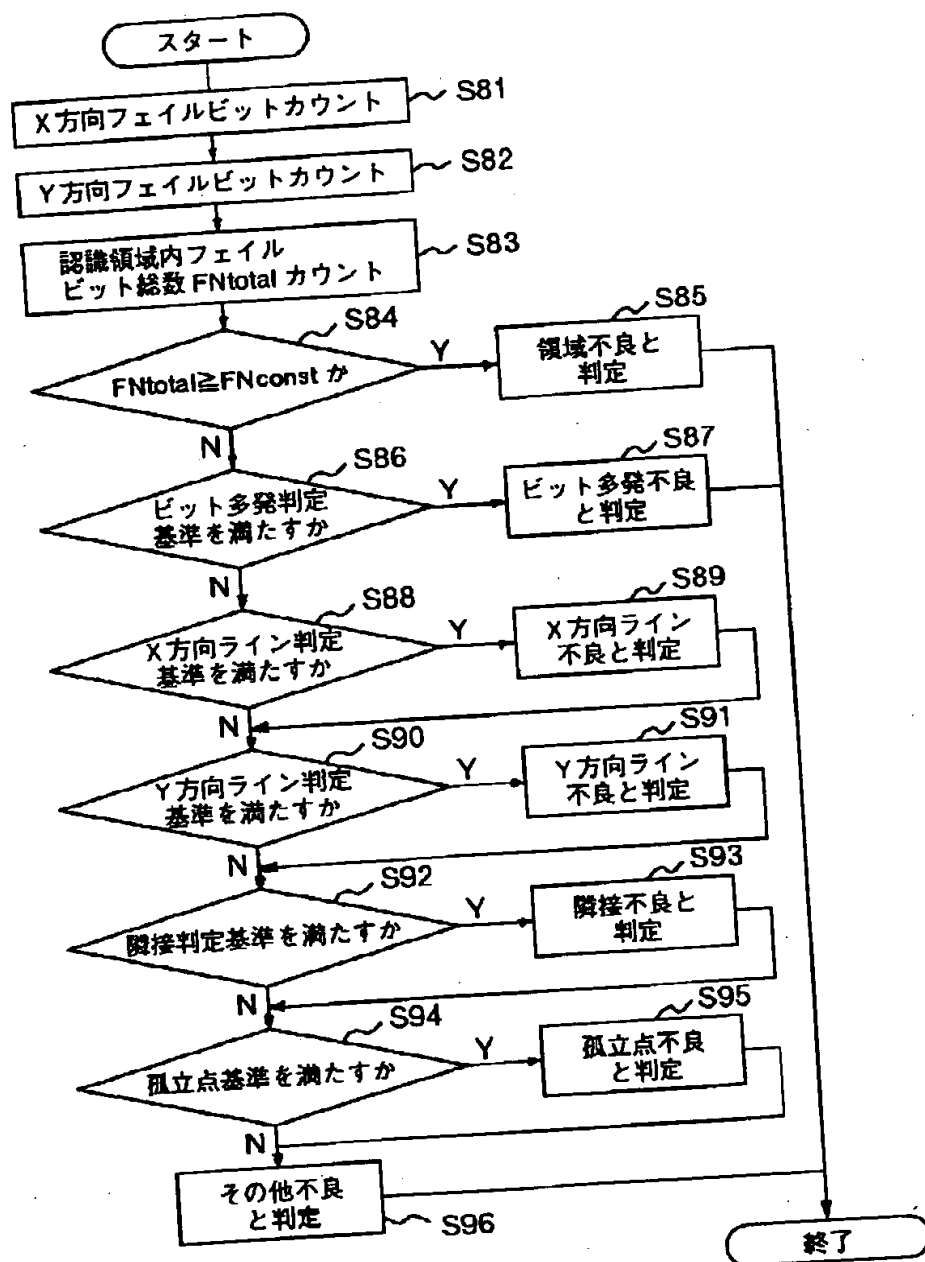
【図12】

図 12



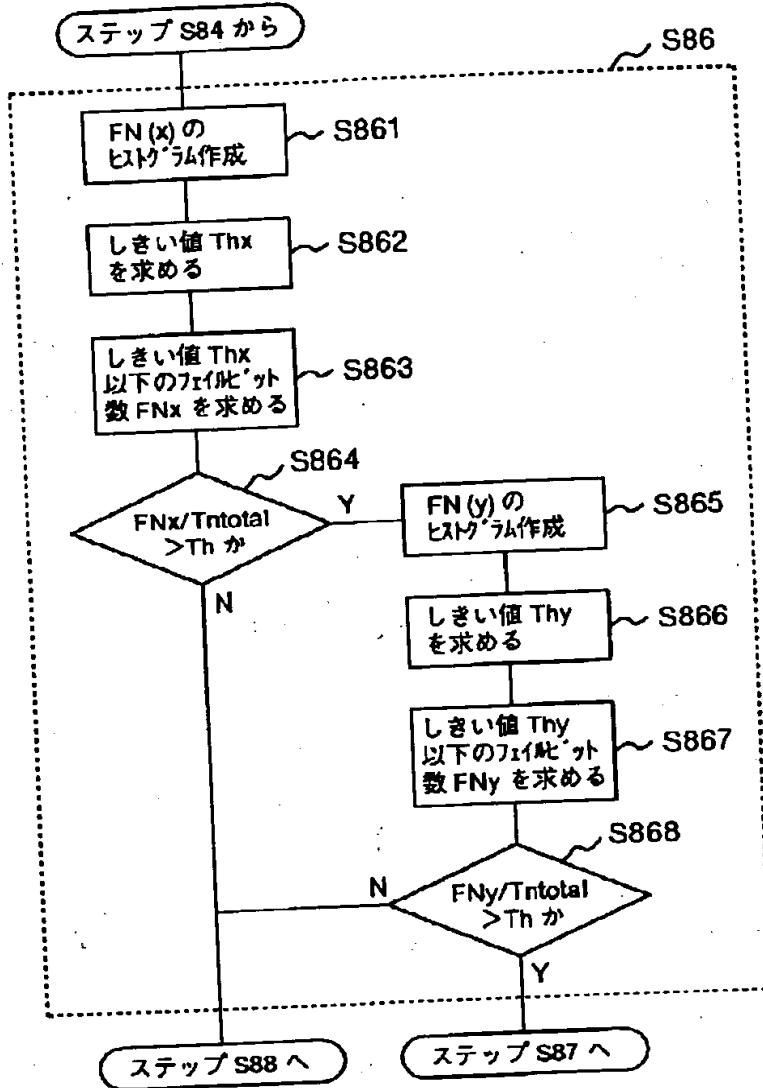
【図8】

図 8



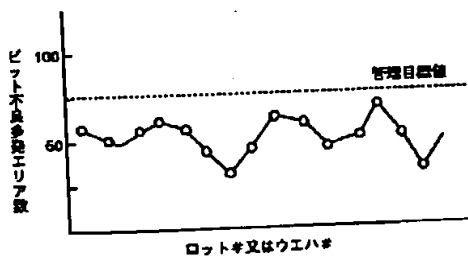
【図9】

図 9



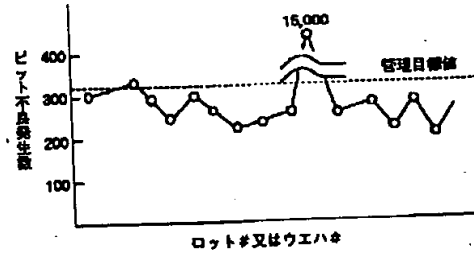
【図14】

図 14



【図13】

図 13



フロントページの続き

(72)発明者 堀崎 修一

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 中里 純

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内Fターム(参考) 2G032 AA07 AB20 AE09 AE10 AE12
AF01

4M106 AA01 BA01 CA00 CA41 CA50

DA15 DJ20 DJ21 DJ27 DJ38

5B018 GA03 GA05 HA32 KA01 NA02

QA13 RA02 RA03 RA11

5L106 DD25 DD26